

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-32331

(43) 公開日 平成10年(1998) 2月3日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/78		9447-4M	H 0 1 L 29/78	6 5 3 A
21/265			21/265	W
		9447-4M	29/78	6 5 2 K

審査請求 有 請求項の数 4 O L (全 7 頁)

(21) 出願番号 特願平8-184521

(22) 出願日 平成8年(1996) 7月15日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 二宮 仁

東京都港区芝五丁目7番1号 日本電気株式会社内

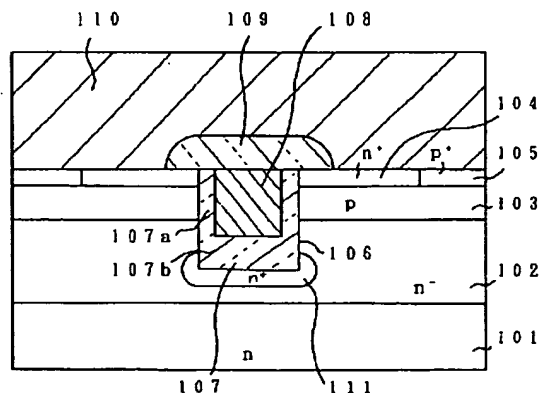
(74) 代理人 弁理士 鈴木 章夫

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 縦型MOSトランジスタはゲートドレイン間のオン抵抗が高く、かつトレンチ内に形成するゲート酸化膜が要因とされるトランジスタ特性のばらつきや安定性の劣化が生じる。

【解決手段】 縦型MOSトランジスタのチャネル領域およびゲート電極を形成するためのトレンチ106の底面近傍の電界緩和領域102に高濃度領域111が形成され、かつトレンチの内面に熱酸化膜107が形成される。高濃度領域111により、トランジスタのオン抵抗が低減される。また、トレンチ内面の熱酸化膜107は高濃度領域111によって底面107bの膜厚が側面107aの膜厚よりも厚く形成されるので、絶縁耐量を向上する一方で、膜厚の精度および信頼性が向上されることになり、トランジスタ特性のばらつきと安定性が高められる。



101 基板	107 酸化膜
102 電界緩和領域	107a 側面酸化膜
103 ボディ領域	107b 底面酸化膜
104 ソース領域	108 ゲート電極
105 バックゲート領域	109 絶縁膜
106 トレンチ	110 ソース電極
	111 高濃度領域

【特許請求の範囲】

【請求項1】 第1の導電型の半導体装置基板上にドレイン領域としての低不純物濃度の第1の導電型の電界緩和領域と、第2の導電型のボディ領域と、高不純物濃度の第1の導電型のソース領域と、このソース領域と平面方向に接続される高不純物濃度の第2の導電型のバックゲート領域とが順次積層され、かつ前記ソース領域から前記電界緩和領域にまで達するトレンチが開設され、このトレンチは内面に沿って酸化膜が形成され、かつその内部には導電性のゲート電極が形成されてなる縦型MOSトランジスタを備え、前記電界緩和領域には前記トレンチ底面の近傍領域に高濃度領域が形成され、かつ前記トレンチ内面の酸化膜は熱酸化膜で形成され、かつその底面の膜厚は側面の膜厚よりも厚く形成されていることを特徴とする半導体装置。

【請求項2】 第1の導電型の半導体装置基板上にドレイン領域としての低不純物濃度の第1の導電型の電界緩和領域と、第2の導電型のボディ領域と、高不純物濃度の第1の導電型のソース領域と、このソース領域と平面方向に接続される高不純物濃度の第2の導電型のバックゲート領域とを順次積層する工程と、前記ソース領域から前記電界緩和領域にまで達するトレンチを開設する工程と、このトレンチの底面から前記電界緩和領域に不純物を導入してトレンチ底面近傍領域に高濃度領域を形成する工程と、前記トレンチの内面を熱酸化し、底面には厚い熱酸化膜を側面には薄い熱酸化膜をそれぞれ形成する工程と、前記熱酸化膜で囲まれたトレンチ内に導電性材料を埋設してゲート電極を形成する工程を含むことを特徴とする半導体装置の製造方法。

【請求項3】 トレンチ内面の熱酸化膜は、酸化する半導体層における不純物の濃度差を利用し、1回の熱酸化によって底面と側面とで厚さの異なる膜を形成する請求項2の半導体装置の製造方法。

【請求項4】 トレンチの開設工程と、トレンチ底面への不純物の導入工程は、同一のマスクを用いている請求項2または3の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は縦型MOSトランジスタを備える半導体装置に関し、特に比較的高電圧かつ大電流を制御するための半導体装置とその製造方法に関する。

【0002】

【従来の技術】 従来、この種の半導体装置として、図4に示すようなトレンチを用いてチャネルを縦型に形成したMOS型トランジスタが提案されている。この縦型MOSトランジスタは、n型基板301上にドレイン領域としてのn⁻電界緩和領域302が形成されており、さらにその表面上にイオン注入と熱拡散等によりp型ボディ領域303、n⁺ソース領域304、p⁺バックゲート領域305が形成されている。そして、その表面からn⁻電界緩和領域302に達するトレンチ306が形成され、このトレンチ306の側壁はゲート酸化膜307として形成され、かつトレンチ306内にゲート電極308が埋設されている。なお、ゲート電極308上には絶縁膜309が形成されてn⁺ソース領域304との絶縁を図っており、その上に形成されたソース電極310によりn⁺ソース領域304とp⁺バックゲート領域305とが電気接続されている。

【0003】 この縦型MOSトランジスタでは、ゲート酸化膜307の近傍の、n⁻電界緩和領域302とn⁺ソース領域304に挟まれたp型ボディ領域303がチャネルとなる。そのため、電流経路は縦型になり、チャネルが横型となる横型のMOS型トランジスタよりもトランジスタオン時の低抵抗化が可能でなる。

【0004】 しかしながら、この縦型MOS型トランジスタは、ゲート酸化膜307を介してn⁻電界緩和領域302とゲート電極308とが形成する寄生容量が横型MOS型トランジスタと比べてチップ面積比で大きくなる。そのため、掃退容量が大きくなり、スイッチング損失が大きくなる。寄生容量を低減するためには、ゲート酸化膜307を厚くする方法があるが、MOS型トランジスタのしきい値電圧が高くなってしまふ。

【0005】 このような問題を解消するものとして、特開平5-335582号公報では、図5のようなMOS型トランジスタが提案されている。この提案された縦型MOS型トランジスタは、トレンチ306を形成した後に、減圧CVD等を用いてトレンチが平坦になるまで、酸化膜307Aを堆積し、その後この酸化膜307Aをエッチングバックすることにより、第1の酸化膜307Aをトレンチの底部に形成し、しかる上で熱酸化によりトレンチ側面に第2の酸化膜307を形成している。この結果、トレンチ306は底部の第1の酸化膜307Aが厚く形成されることになる。

【0006】 この提案された縦型MOSトランジスタでは、MOS型トランジスタのしきい値は第2の酸化膜307で決まるのでMOS型トランジスタのしきい値は変わらない。また、底部の第1の酸化膜307Aが厚いので、第1の酸化膜307Aを介して、n⁻電界緩和領域302とゲート電極308とが形成する寄生容量は低減でき、スイッチング損失を低減できる。

【0007】 【発明が解決しようとする課題】 ところで、このような縦型MOSトランジスタにおいては、ドレイン-ソース間のオン抵抗は、n⁻電界緩和領域における抵抗(R_{JFET})が大きな要因となっており、ドレイン-ソース間耐圧が約60VのMOS型トランジスタでは、オン時抵抗中、R_{JFET}の占める割合は30%以上になる。そのためオン抵抗を低減するには、R_{JFET}の低減が課題となる。また、図5の縦型MOSトランジスタにお

いては、その製造に際してトレンチ306を平坦化するまでCVD酸化膜を堆積させるには、例えば、トレンチ深さ2.0 μm 、トレンチ幅2.0 μm の場合、約2000Å程度の膜厚が必要である。そのため、エッチングバックの制御性が悪く、第1の酸化膜307Aを精度よく形成することが困難となり、トランジスタ特性のばらつきが著しいものとなる。さらに、平坦化には950度程度の高温の熱処理が必要となるため、しきい値等のトランジスタ特性が変化して特性の安定したトランジスタが得られないという問題がある。

【0008】本発明は、縦型MOSトランジスタのオン抵抗を低減するとともに、トランジスタ特性のばらつきや安定化を図った半導体装置とその製造方法を提供することを目的としたものである。

【0009】

【課題を解決するための手段】本発明は、第1の導電型の半導体装置基板上にドレイン領域としての低不純物濃度の第1の導電型の電界緩和領域と、第2の導電型のボディ領域と、高不純物濃度の第1の導電型のソース領域と、このソース領域と平面方向に接続される高不純物濃度の第2の導電型のバックゲート領域とが順次積層され、かつ前記ソース領域から前記電界緩和領域にまで達するトレンチが開設され、このトレンチは内面に沿って酸化膜が形成され、かつその内部には導電性のゲート電極が形成されてなる縦型MOSトランジスタを備える半導体装置において、電界緩和領域にはトレンチ底面の近傍領域に高濃度領域が形成され、かつトレンチ内面の酸化膜は熱酸化膜で形成され、かつその底面の膜厚は側面の膜厚よりも厚く形成されている。

【0010】また、本発明の製造方法は、第1の導電型の半導体装置基板上にドレイン領域としての低不純物濃度の第1の導電型の電界緩和領域と、第2の導電型のボディ領域と、高不純物濃度の第1の導電型のソース領域と、このソース領域と平面方向に接続される高不純物濃度の第2の導電型のバックゲート領域とを順次積層する工程と、前記ソース領域から前記電界緩和領域にまで達するトレンチを開設する工程と、このトレンチの底面から前記電界緩和領域に不純物を導入してトレンチ底面近傍領域に高濃度領域を形成する工程と、前記トレンチの内面を熱酸化し、底面には厚い熱酸化膜を側面には薄い熱酸化膜をそれぞれ形成する工程と、前記熱酸化膜で囲まれたトレンチ内に導電性材料を埋設してゲート電極を形成する工程を含んでいる。

【0011】

【発明の実施の形態】次に、本発明の実施形態を図面を参照して説明する。図1は本発明の第1の実施形態の半導体装置の断面図である。基板101はできる限り低抵抗な素材の半導体基板として構成され、この基板101上にはドレイン領域として、pn接合の降伏電圧を維持するためにある程度の抵抗率を持ったn型半導体の電界

緩和領域102が形成される。さらに、この表面上にチャネル領域としての所要の厚さのp型ボディ領域103が形成される。さらに、その上にボディ領域103と電界緩和領域102の接合に達しない深さのn型ソース領域104と、これに隣り合う領域の前記ボディ領域103の表面上に半導体表面から電氣的接続するためのp型バックゲート領域105が形成される。

【0012】そして、前記電界緩和領域102中に向けて、表面から基板101に達しない深さのトレンチ(溝)106が開設され、かつこのトレンチ106の底部の近傍は電界緩和領域より高濃度なn型高濃度領域111が形成される。また、トレンチ106の内壁の表面には熱酸化膜107が形成され、側面の熱酸化膜107aの膜厚と底面の熱酸化膜107bの膜厚とでは、底面の膜厚の方を5〜7倍厚く形成する。熱酸化膜107を介したトレンチ106の内部はゲート電極108となる素材で埋め込まれている。ゲート電極108の素材は、できるだけ低抵抗であることが望ましい。ゲート電極108とソース領域104は絶縁膜109により絶縁されている。また、ソース領域104とバックゲート領域105はソース電極110で電氣的に短絡されている。ソース電極110は一般に金属が用いられる。

【0013】したがって、この縦型MOSトランジスタでは、MOS型トランジスタのしきい値はトレンチ106の側面の熱酸化膜107aの膜厚で決まるのでMOS型トランジスタのしきい値は変わらない。また、底面の熱酸化膜107bが厚く形成されているためn-電界緩和領域102とゲート電極108とが形成する寄生容量は低減でき、スイッチング損失が低減される。

【0014】さらに、この構成の縦型MOSトランジスタによれば、その動作に際しては、基板101に正、ソース電極110に負の電圧を印加した上で、ゲート電極108に正の電圧を入力してトランジスタオン状態にすると、電流は基板101から、ドレイン領域(電界緩和領域)102、ボディ領域103内のゲート電極108の近傍のチャネル領域、ソース領域104、ソース電極110という経路で流れる。この時、電界緩和領域102内に高濃度領域111が存在するので、電界緩和領域102で生じる抵抗が低減される。また、このとき、ゲート電極108がソース電極110と同電位ならば、両電極間には熱酸化膜107を挟んで電位差が生じ、電荷がチャージされる。この時、熱酸化膜107が厚い程チャージされる電荷量は少なくなり、ゲート電極108に正の電圧が印加されてトランジスタがオンするまでの時間が短くなる。また、トランジスタオン状態からオフ状態へ変わる時間も同様に短くなる。

【0015】図2は図1の製造工程の一部を示す断面図である。まず、図2(a)のように、基板101上にn型半導体の電界緩和領域102、p型ボディ領域103、n型ソース領域104を形成し、かつこのボディ領

域103上にp型不純物を導入してp型バックゲート領域105を形成する。ついで、図2(b)のように、フォトリソグラフィ技術を用いて酸化膜のマスク112を形成し、このマスク112を利用して前記バックゲート領域105、ボディ領域103、電界緩和領域102を順次エッチングし、底面が電界緩和領域にまで達するトレンチ106を開設する。さらに、前記マスク112を利用してイオン注入を行い、トレンチ106の底面にn型不純物をイオン注入し、トレンチ底面の近傍の電界緩和領域102に高濃度領域111を形成する。さらに、図2(c)のように、前記マスク112を除去した後、熱酸化を行い、トレンチ106の内面に熱酸化膜107を形成する。このとき、不純物濃度の相違により、トレンチ106の底面では側面よりも熱酸化が進行され、底面の熱酸化膜107bは側面の熱酸化膜107aよりも厚く形成される。しかる後、トレンチ内に導電材を充填し、ゲート電極108を形成する。また、トレンチを含む領域にn型不純物を導入してソース領域104を形成し、さらにトレンチ上に絶縁膜109を選択的に形成し、さらにソース電極110を形成する。

【0016】この製造方法によれば、トレンチ106の底面の酸化膜107bは熱酸化法により形成されたものであるため、図5に示した従来構成のCVD酸化膜を厚く堆積させたものをエッチングによりトレンチ底面に形成したものに比較して膜厚の精度がよくなり、トランジスタの特性にばらつきが生じにくくなる。また、熱酸化膜であるため信頼性も高く、安定した特性のMOSトランジスタが得られる。さらに、トレンチの底面と側面の各熱酸化膜を1回の熱酸化処理により形成できるため、従来のトレンチ内酸化膜を形成するような、減圧CVD成長工程、平坦化のための熱処理工程、エッチングバックの工程が不要となり、工程数が削減でき、生産性が向上できる。

【0017】図3は本発明の他の実施形態の断面図であり、図1と等価な部分には下2桁が同一の符号を付してある。この実施形態では、ゲート電極208をトレンチ206に埋め込むのではなく、トレンチ206の内面に沿って所要の膜厚で導電膜を形成することによって形成している。このため、トレンチ内に導電材を埋設するよりもゲート電極208の製造を容易に行うことが可能となる。

【0018】

【実施例】次に、図1及び図2に示した実施形態の実施例を説明する。抵抗率 $0.001 \sim 0.006 \Omega \text{cm}$ のn型基板101上に電界緩和領域として抵抗率 $0.85 \Omega \text{cm}$ 、厚さ $7.5 \mu\text{m}$ のエピタキシャル層102を成長させる。次に、エピタキシャル層表面を熱酸化し、 200\AA 程度の酸化膜を成長させた後、ボロンをドーズ量 $2.5 \times 10^{13} / \text{cm}^2$ 、エネルギー 70KeV でイオン注入し、 1140°C 、10分の熱処理により、p型ボデ

ィ領域103を形成する。次に、フォトレジストを塗布し、フォトリソグラフィ技術により、p型ボディ領域103の表面から選択的にボロンをドーズ量 $4.0 \times 10^{15} / \text{cm}^2$ 、エネルギー 50KeV でイオン注入し、p⁺バックゲート領域105を形成する。

【0019】次に、酸化膜を 3000\AA の厚さにCVD成長させ、フォトレジストを塗布し、フォトリソグラフィ技術によりCVD酸化膜を選択的に異方性エッチングし、フォトレジスト剥離後に前記CVD酸化膜をマスク112としてシリコンを深さ $2 \mu\text{m}$ 、幅 $1 \mu\text{m}$ に異方性エッチングし、トレンチ106を形成する。次に、前記CVD酸化膜をマスクとしてヒ素をドーズ量 $5.0 \times 10^{15} / \text{cm}^2$ 、エネルギー 70KeV でイオン注入し、トレンチ106の底面のシリコンにヒ素の高濃度な領域111を形成する。次に、 $\text{H}_2 - \text{O}_2$ 雰囲気内の 950°C 、6分30秒の熱酸化でゲート酸化膜107をトレンチ側面で約 500\AA 、トレンチ底面で約 3000\AA の厚さに形成する。次に、ポリシリコンを 8000\AA の厚さに減圧CVD成長させ、トレンチ106をポリシリコンで完全に埋め込んだ後、エッチングバックによりトレンチ106以外のシリコン表面を露出させ、ゲートポリシリコン電極108を形成する。

【0020】次に、フォトレジストを塗布し、フォトリソグラフィ技術により選択的にヒ素をドーズ量 $5.0 \times 10^{15} / \text{cm}^2$ 、エネルギー 70KeV でイオン注入し、n⁺ソース領域104を形成する。次に、BPSGを 6500\AA の厚さにCVD成長させ、 850°C 、30分程度の熱処理でリフローした後、フォトレジストを塗布し、フォトリソグラフィ技術により選択的に異方性エッチングを行い、層間BPSG109とソース・ドレインコンタクトホールを形成する。次に、アルミニウムを $4.5 \mu\text{m}$ の厚さに蒸着またはスパッタリングし、フォトレジストを塗布し、フォトリソグラフィ技術によりアルミニウムを選択的に異方性エッチングし、アルミニウム電極110を形成する。

【0021】本発明の図3の実施形態の実施例を説明する。抵抗率 $0.001 \sim 0.006 \Omega \text{cm}$ のn型基板201上に電界緩和領域として抵抗率 $0.85 \Omega \text{cm}$ 、厚さ $7.5 \mu\text{m}$ のエピタキシャル層202を成長させる。次に、前記シリコン表面を熱酸化し、 200\AA 程度の酸化膜を成長させた後、ボロンをドーズ量 $2.5 \times 10^{13} / \text{cm}^2$ 、エネルギー 70KeV でイオン注入し、 1140°C 、10分の熱処理により、p型ボディ領域203を形成する。次に、フォトレジストを塗布し、フォトリソグラフィ技術によりp型ボディ領域103の表面から選択的にボロンをドーズ量 $4.0 \times 10^{15} / \text{cm}^2$ 、エネルギー 50KeV でイオン注入し、p⁺バックゲート領域205を形成する。

【0022】次に、フォトレジストを塗布し、フォトリソグラフィ技術により選択的にヒ素をドーズ量 $5.0 \times 10^{15} / \text{cm}^2$ 、エネルギー 70KeV でイオン注入し、n⁺ソース領域204を形成する。

15/cm²、エネルギー70KeVでイオン注入し、n⁺ソース領域204を形成する。次に、酸化膜を3000Åの厚さにCVD成長させ、フォトリソを塗布し、フォトリソグラフィ技術によりCVD酸化膜を選択的に異方性エッチングし、フォトリソ剥離後に前記CVD酸化膜をマスクとしてシリコンを約2μm深さに異方性エッチングし、トレンチ206を形成する。次に、前記CVD酸化膜をマスクとしてヒ素をドーザ量5.0E15/cm²、エネルギー70KeVでイオン注入し、トレンチ206を底面のシリコンにヒ素の高濃度な領域211を形成する。次に、H₂-O₂雰囲気内の950度30分程度の熱酸化でゲート酸化膜207をトレンチ側面で約500Å、トレンチ底面で約3000Åの厚さに形成する。

【0023】次に、ホリシリコンを4500Åの厚さに減圧CVD成長させ、フォトリソを塗布し、フォトリソグラフィ技術によりホリシリコンをプラズマエッチング等で選択的に異方性エッチングし、ゲートポリシリコン電極208を形成する。次に、BPSGを6500Åの厚さにCVD成長させ、950度30分程度の熱処理でリフローし、トレンチ206をBPSGで完全に埋め込んだ後、フォトリソを塗布し、フォトリソグラフィ技術により選択的に異方性エッチングを行い、層間BPSG209とソース・ドレインコンタクトホールを形成する。次に、アルミニウムを4.5μmの厚さに蒸着またはスパッタリングし、フォトリソを塗布し、フォトリソグラフィ技術によりアルミニウムを選択的に異方性エッチングし、アルミニウム電極210を形成する。

【0024】なお、前記した実施形態および実施例は、いずれもnチャネルMOSトランジスタに本発明を適用した例であるが、pチャネルMOSトランジスタにおいても本発明を同様に適用できることは言うまでもない。

【0025】

【発明の効果】以上説明したように本発明は、縦型MOSトランジスタのチャネル領域およびゲート電極を形成

するためのトレンチの底面近傍の電界緩和領域に高濃度領域が形成されているため、MOSトランジスタのオン抵抗を低減することができる。また、トレンチ内面の酸化膜は熱酸化膜で形成され、かつその底面の膜厚は側面の膜厚よりも厚く形成されているので、絶縁耐量を向上する一方で、膜厚の精度および信頼性が向上されることになり、トランジスタ特性のばらつきと安定性が高められる。また、本発明においては、トレンチの底面に高濃度領域が形成された状態で熱酸化によりトレンチ内面に熱酸化膜を形成するため、1回の熱酸化処理により、トレンチの底面と側面とで異なる膜厚の酸化膜を同時に形成することができ、工程数を削減して生産性を向上することが可能となる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態および実施例の断面図である。

【図2】図1の構成の製造方法を説明するための断面図である。

【図3】本発明の第2の実施形態および実施例の断面図である。

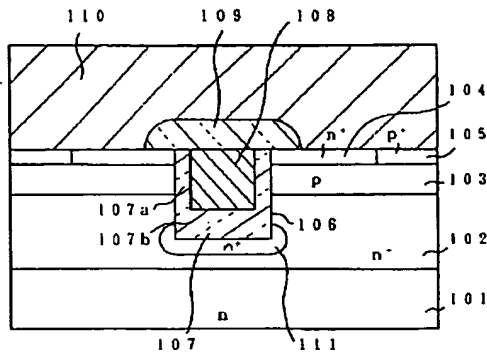
【図4】従来の縦型MOSトランジスタの断面図である。

【図5】従来の改良された縦型MOSトランジスタの断面図である。

【符号の説明】

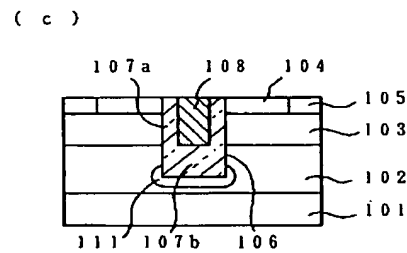
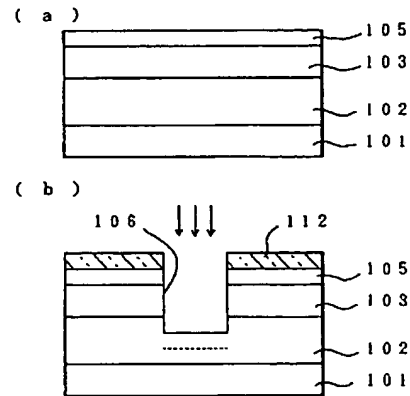
- 101、201 基板
- 102、202 電界緩和領域
- 103、203 ボディ領域
- 104、204 ソース領域
- 105、205 バックゲート領域
- 106、206 トレンチ
- 107、207 熱酸化膜
- 108、208 ゲート電極
- 109、209 絶縁膜
- 110、210 ソース電極
- 111、211 高濃度領域

【図 1】

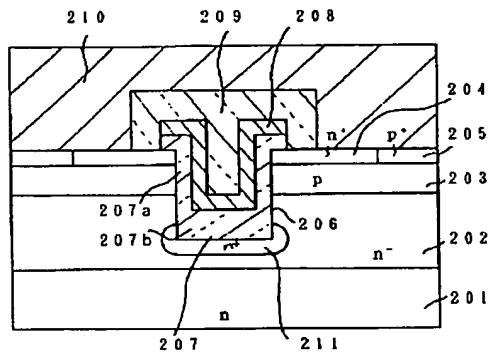


- | | | | |
|-----|----------|------|-------|
| 101 | 基板 | 107 | 酸化膜 |
| 102 | 電界緩和領域 | 107a | 側面酸化膜 |
| 103 | ボディ領域 | 107b | 底面酸化膜 |
| 104 | ソース領域 | 108 | ゲート電極 |
| 105 | バックゲート領域 | 109 | 絶縁膜 |
| 106 | トレンチ | 110 | ソース電極 |
| | | 111 | 高濃度領域 |

【圖2】

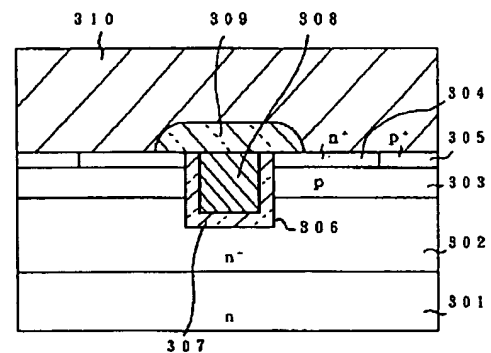


【図3】



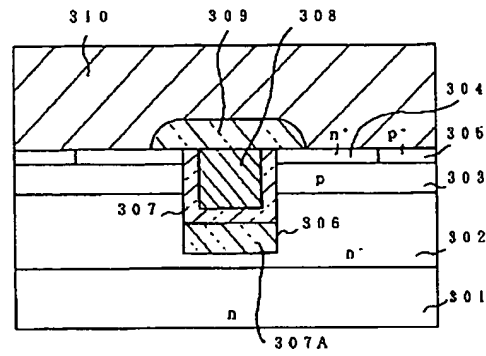
- | | | | |
|-----|----------|------|-------|
| 201 | 基板 | 207 | 酸化膜 |
| 202 | 境界層和領域 | 207a | 側面酸化膜 |
| 203 | ボディ領域 | 207b | 底面酸化膜 |
| 204 | ソース領域 | 208 | ゲート電極 |
| 205 | バックゲート領域 | 209 | 絶縁膜 |
| 206 | トレンチ | 210 | ソース電極 |
| | | 211 | 高濃度領域 |

【図4】



- | | | | |
|-------|----------|-------|-------|
| 3 0 1 | 基板 | 3 0 7 | 酸化膜 |
| 3 0 2 | 電界線和領域 | 3 0 8 | ゲート電極 |
| 3 0 3 | ボディ領域 | 3 0 9 | 絶縁膜 |
| 3 0 4 | ソース領域 | 3 1 0 | ソース電極 |
| 3 0 5 | バックゲート領域 | | |
| 3 0 6 | トレンチ | | |

【図5】



- | | |
|--------------|-----------|
| 301 基板 | 307 酸化膜 |
| 302 電界緩和領域 | 307A 酸化膜 |
| 303 ボディ領域 | 308 ゲート電極 |
| 304 ソース領域 | 309 絶縁膜 |
| 305 バックゲート領域 | 310 ソース電極 |
| 306 トレンチ | |